

CLIPPEDIMAGE= JP410293617A

PAT-NO: JP410293617A

DOCUMENT-IDENTIFIER: JP 10293617 A

TITLE: CONSTANT VOLTAGE POWER SUPPLY DEVICE AND RUSH CURRENT
PREVENTING
CIRCUIT

PUBN-DATE: November 4, 1998

INVENTOR-INFORMATION:

NAME

NOJI, HIDESHI

ASSIGNEE-INFORMATION:

NAME

FUKUSHIMA NIPPON DENKI KK

COUNTRY

N/A

APPL-NO: JP09103251

APPL-DATE: April 21, 1997

INT-CL (IPC): G05F001/56

ABSTRACT:

PROBLEM TO BE SOLVED: To control rush current just after power supply input under a fixed value without depending on input voltage, to remove an adverse effect on an output transistor and to improve operational stability by making setting output voltage lower than input voltage.

SOLUTION: A comparator circuit 6 compares reference voltage VREF that is applied to an inverted input terminal with voltage $VR_{<SB>1</SB>}$ that is applied to non-inverted input terminal, gives an output corresponding to the difference voltage ($VREF - VR_{<SB>1</SB>}$) to a gate of Q1 which is a main controlling FET and performs negative feedback control of the Q1 that is the FET. When an operational switch 8 is closed, an inverted input terminal of the circuit 6 drops to a ground line GL, simultaneously, both ends of a capacitor $C_{<SB>0</SB>}$ are short-circuited and the reference voltage VREF, i.e., the level of the inverted input terminal of the circuit 6 becomes 0 V. Because of this operation, even when the Q1 that is the FET is made inactive, power supply E1 is inputted in this state and input voltage VIN is applied between input

terminals 2 and 3, output voltage VOUT is not led through between
output
terminals 4 and 5.

COPYRIGHT: (C) 1998, JPO

【特許請求の範囲】

【請求項1】 入力電源と負荷との間にソースとドレインとが接続された主制御用FETと、コンデンサと該コンデンサの最大電圧を規定する定電圧素子と該コンデンサに定電流を供給する定電流素子とからなり、出力点を該コンデンサと該定電流素子との接続点とする基準電圧回路と、

出力電圧を分圧する分圧回路と、

負荷と並列に接続される第2のコンデンサと、

前記基準電圧回路の出力電圧と前記分圧回路の出力電圧とを比較して比較出力を前記主制御用FETのゲートに帰還することにより前記主制御用FETのソース電流を負帰還制御する比較回路とにより構成され、設定出力電圧を入力電圧よりも低くすることを特徴とする定電圧電源装置。

【請求項2】 入力電源と負荷との間にソースとドレインとが接続された主制御用FETと、コンデンサと該コンデンサの最大電圧を規定する定電圧素子と該コンデンサに定電流を供給する定電流素子とからなり、出力点を該コンデンサと該定電流素子との接続点とする基準電圧回路と、

出力電圧を分圧する分圧回路と、

負荷と並列に接続される第2のコンデンサと、

前記基準電圧回路の出力電圧と前記分圧回路の出力電圧とを比較して比較出力を前記主制御用FETのゲートに帰還することにより前記主制御用FETのソース電流を負帰還制御する比較回路とにより構成され、設定出力電圧を入力電圧よりも高くすることを特徴とする突入電流防止回路。

【請求項3】 入力電源と負荷との間にエミッタとコレクタとが接続された主制御用トランジスタと、コンデンサと該コンデンサの最大電圧を規定する定電圧素子と該コンデンサに定電流を供給する定電流素子とからなり、出力点を該コンデンサと該定電流素子との接続点とする基準電圧回路と、

出力電圧を分圧する分圧回路と、

負荷と並列に接続される第2のコンデンサと、

前記基準電圧回路の出力電圧と前記分圧回路の出力電圧とを比較して比較出力を前記主制御用トランジスタのベースに帰還することにより前記主制御用トランジスタのエミッタ電流を負帰還制御する比較回路とにより構成され、設定出力電圧を入力電圧よりも低くすることを特徴とする定電圧電源装置。

【請求項4】 入力電源と負荷との間にエミッタとコレクタとが接続された主制御用トランジスタと、コンデンサと該コンデンサの最大電圧を規定する定電圧素子と該コンデンサに定電流を供給する定電流素子とからなり、出力点を該コンデンサと該定電流素子との接続点とする基準電圧回路と、

出力電圧を分圧する分圧回路と、

負荷と並列に接続される第2のコンデンサと、

前記基準電圧回路の出力電圧と前記分圧回路の出力電圧とを比較して比較出力を前記主制御用トランジスタのベースに帰還することにより前記主制御用トランジスタのエミッタ電流を負帰還制御する比較回路とにより構成され、設定出力電圧を入力電圧よりも高くすることを特徴とする突入電流防止回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、定電圧電源装置及び、起動時のコンデンサへの突入電流を制限した突入電流防止回路に関する。

【0002】

【従来の技術】図5に示す従来技術による定電圧電源装置では、電源投入直後に図7(a)に示すように出力トランジスタQを通して出力側に接続されたリップル吸収用のコンデンサCに過大な充電電流 I_c が流入し、このため出力トランジスタQが発熱したり、定電圧電源装置の入力につながっている電源 E_{11} の安定性が良くないと、これに悪影響を及ぼすという不具合が発生していた。

【0003】コンデンサCはリップルの吸収と出力電圧 V_{OUT} の安定化のために大容量のものが使用される。よく知られているようにコンデンサの充電電荷 Q_c は、コンデンサの容量をCとし、印加される電圧をVとすれば $Q_c = C \cdot V$ で電圧と容量に比例する。一方で充電電流 I_c は $I_c(t) = dQ_c / dt$ で表され、印加される電圧とコンデンサの容量が大きい程、大電流がコンデンサCに流入する。

【0004】以上のような問題点を解決した回路として特開平6-4157号に記載の発明がある。この回路動作を図6、図8を用いて説明する。特開平6-4157号に記載の発明では、図7(a)に示すような電源投入時のラッシュ電流を抑えるために出力電圧 V_{OUT} を図7(b)に示すような急峻なものとせずに緩やかなものとするにより対策を施している。そのために比較回路24に与える基準電圧 V_c を抵抗 R_{20} 、コンデンサ C_{21} から構成される積分回路によって作成する。電源投入時の基準電圧 V_c の立ち上がり時において、コンデンサ C_{21} は、抵抗 R_{20} を通して充電されるため、コンデンサ C_{21} の電圧 V_c は、ツェナー電圧に達するまでは、

【0005】

【数1】

$$V_c(t) = V_{Z1} \cdot \left\{ 1 - \exp\left(-\frac{1}{C_{21}R_{20}}t\right) \right\}$$

・・・(1)

で表わされ、図8(a)で示すように緩やかなものとなるため、出力電圧 V_{OUT} は、コンデンサ C_{21} の電圧がツェナー電圧に達するまでは、

【0006】

【数2】

$$V_{out}(t) = V_{in} \cdot \left\{ 1 - \exp\left(-\frac{1}{C_{21}R_{20}}t\right) \right\} \cdot \frac{R_{21} + R_{22}}{R_{21}}$$

... (2)

$$I_t(t) = C \frac{dV_{out}}{dt} = \frac{C \cdot V_{in}}{C_{21} \cdot R_{20}} \cdot \exp\left(-\frac{1}{C_{21}R_{20}}t\right) \cdot \frac{R_{21} + R_{22}}{R_{21}}$$

... (3)

で表わされ、図8(c)のように突入電流のピーク値は時定数 $C_{21}R_{20}$ を選ぶことにより抑えられる。コンデンサCに充電後は、基準電圧は、定電圧素子 V_{Z1} で決定される電圧 V_Z で安定化されるため、出力電圧 V_{out} は、

【0008】

【数4】

$$V_{out} = V_{in} \cdot \frac{R_{21} + R_{22}}{R_{21}}$$

で安定化される。

【0009】

【発明が解決しようとする課題】第1の問題点は、図9の(a)に示すように入力電圧が高くなった場合、電源※

$$\exp\left(-\frac{1}{C_{21}R_{20}}t\right)$$

の部分の時定数が長くなるからである。

【0014】第3の問題点は、入力電圧によって出力電圧の立ち上がり速度が変化することである。従って、機器が世界の電源電圧が異なった地域で使用され、これを主電源として使用する場合には、出力電圧の立ち上がり速度が使用地域により変化して、機器内の他の種類の電源との間で立ち上がり順序が変化して、複数電源を利用★

$$V_c = V_{in} \left\{ 1 - \exp\left(-\frac{1}{C_{21}R_{20}}t_{z1}\right) \right\}$$

となる。これを時間 t_{z1} についてまとめると、

【0017】

【数7】

$$t_{z1} = -C_{21}R_{20} \ln\left(1 - \frac{V_Z}{V_{in}}\right)$$

となる。右辺をみると、 V_{in} が大きいほど t_{z1} が小さいことがわかる。

【発明の目的】本発明の目的は、上述のような問題点を解決し、電源投入直後におけるラッシュ電流を入力電圧によらずに一定の値以下に抑制し、出力トランジスタへの悪影響を排除して動作安定性を向上すると共に入力電圧※

*で表わされ、図8(b)に示すように緩やかに上昇していくため、電源投入時に出力トランジスタQに流れる突入電流 I_t は、コンデンサ C_{21} の電圧がツェナー電圧に達するまでは、

【0007】

【数3】

10※投入時に出力コンデンサCへ流れる突入電流が増加することである。

【0010】その理由は、(3)式において、 V_{in} の値を大きくすると、突入電流の値は V_{in} の値に比例して大きくなるからである。

【0011】第2の問題点は、図9の(b)に示すように入力電圧が高い時の突入電流の値を低減するために積分回路の時定数 $C_{21}R_{20}$ の値を大きくすると、出力電圧が定常値に達するまでの時間も長くなることである。

【0012】その理由は、(2)式において時定数 C_{21}

20 R_{20} の値を大きくすると

【0013】

【数5】

★する回路が誤動作するなどの問題となる場合がある。

【0015】この理由は次の様に説明できる。すなわち、出力電圧が規定値になるのは、コンデンサ C_{21} の電圧がツェナーダイオードの電圧 V_{Z1} に等しくなったときである。この時の時間を t_{z1} とすると、

【0016】

【数6】

☆圧によらずに一定の出力電圧立ち上がり速度を有する定電圧電源装置を提供することである。

【0018】

【課題を解決するための手段】本発明による定電圧電源装置は、入力電源と負荷との間にソースとドレインとが接続された主制御用FETと、コンデンサと該コンデンサの最大電圧を規定する定電圧素子と該コンデンサに定電流を供給する定電流素子とからなり、出力点を該コンデンサと該定電流素子との接続点とする基準電圧回路と、出力電圧を分圧する分圧回路と、負荷と並列に接続される第2のコンデンサと、前記基準電圧回路の出力電圧と前記分圧回路の出力電圧とを比較して比較出力を前

記主制御用FETのゲートに帰還することにより前記主制御用FETのソース電流を負帰還制御する比較回路とにより構成され、設定出力電圧を入力電圧よりも低くすることを特徴とする。

【0019】本発明による突入電流防止回路は、入力電源と負荷との間にソースとドレインとが接続された主制御用FETと、コンデンサと該コンデンサの最大電圧を規定する定電圧素子と該コンデンサに定電流を供給する定電流素子とからなり、出力点を該コンデンサと該定電流素子との接続点とする基準電圧回路と、出力電圧を分圧する分圧回路と、負荷と並列に接続される第2のコンデンサと、前記基準電圧回路の出力電圧と前記分圧回路の出力電圧とを比較して比較出力を前記主制御用FETのゲートに帰還することにより前記主制御用FETのソース電流を負帰還制御する比較回路とにより構成され、設定出力電圧を入力電圧よりも高くすることを特徴とする。

【0020】本発明による定電圧電源装置は、入力電源と負荷との間にエミッタとコレクタとが接続された主制御用トランジスタと、コンデンサと該コンデンサの最大電圧を規定する定電圧素子と該コンデンサに定電流を供給する定電流素子とからなり、出力点を該コンデンサと該定電流素子との接続点とする基準電圧回路と、出力電圧を分圧する分圧回路と、負荷と並列に接続される第2のコンデンサと、前記基準電圧回路の出力電圧と前記分圧回路の出力電圧とを比較して比較出力を前記主制御用トランジスタのベースに帰還することにより前記主制御用トランジスタのエミッタ電流を負帰還制御する比較回路とにより構成され、設定出力電圧を入力電圧よりも低くすることを特徴とする。

【0021】本発明による突入電流防止回路は、入力電源と負荷との間にエミッタとコレクタとが接続された主制御用トランジスタと、コンデンサと該コンデンサの最大電圧を規定する定電圧素子と該コンデンサに定電流を供給する定電流素子とからなり、出力点を該コンデンサと該定電流素子との接続点とする基準電圧回路と、出力電圧を分圧する分圧回路と、負荷と並列に接続される第2のコンデンサと、前記基準電圧回路の出力電圧と前記分圧回路の出力電圧とを比較して比較出力を前記主制御用トランジスタのベースに帰還することにより前記主制御用トランジスタのエミッタ電流を負帰還制御する比較回路とにより構成され、設定出力電圧を入力電圧よりも高くすることを特徴とする。

【0022】〔作用〕本発明による定電圧電源装置においては、第2のコンデンサが充電された後は、主制御用*

$$V_{R1} = V_{OUT} \cdot R_1 / (R_1 + R_2)$$

である。ここに V_{OUT} は主制御用FETであるQ1を通して得られる出力電圧である。比較回路6は、入力された基準電圧 V_{REF} と電圧 V_{R1} とを比較し、その差電圧($V_{R1} - V_{REF}$)に対応する出力を主制御用FETであ ※50

* FET又はトランジスタは能動領域で動作し、本発明による定電圧電源装置は入力電源電圧よりも低い安定した電圧を出力する。

【0023】また、本発明による定電圧電源装置においては、入力電源投入時又は動作スイッチ解放時に、主制御用FET又はトランジスタには、一定値の電流が流れ、一定割合で出力電圧が上昇する。この一定値の電流と出力電圧上昇の一定割合は、定電流素子の規定電流と基準電圧回路のコンデンサの容量のみより決まり、入力電圧には依存しない。

【0024】本発明による突入電流防止回路においては、第2のコンデンサが充電された後は、主制御用FET又はトランジスタは飽和領域で動作し、本発明による突入電流防止回路は、入力電源電圧と同一の電圧を出力する。

【0025】また、本発明による突入電流防止回路においては、入力電源投入時又は動作スイッチ解放時に、主制御用FET又はトランジスタには、一定値の電流が流れ、一定割合で出力電圧が上昇する。これは、定電流素子の規定電流と基準電圧回路のコンデンサの容量と第2のコンデンサの容量のみより決まり、入力電圧には依存しない。

【0026】

〔発明の実施の形態〕

〔実施形態1〕図1は、実施形態1における定電圧電源装置の電氣的構成を示す回路図である。符号E1で示されるのは、たとえば交流電圧を全波整流器などで整流して得られる直流電源であって、その電圧は入力電圧 V_{IN} として入力端子2、3間に印加される。一方、出力端子4、5には負荷 Z_L が接続される。入力端子3と出力端子5は、接地ラインGLに共通に接続されている。

【0027】端子2-4間には主制御用Pチャンネル型FETであるQ1のソース、ドレインが直流電源E1と負荷電荷 Z_L との間に直列に接続されている。

【0028】リップル吸収用のコンデンサ C_1 と抵抗 R_1 、 R_2 の直列接続による分圧回路とが出力端子4-5間に並列に接続されている。

【0029】オペアンプなどによって実現される比較回路6が前記FETであるQ1のゲートと接地ラインGL間に介在し、その非反転入力端子は、前記分圧回路を構成する抵抗 R_1 、 R_2 の接続点に接続される。反転入力端子には二点鎖線で囲んで示す基準電圧回路E2から導出される基準電圧 V_{REF} が印加される。

【0030】非反転入力端子に印加される電圧 V_{R1} は、

$$\dots (4)$$

※るQ1のゲートに与え、主制御用FETであるQ1を負帰還制御する。すなわち主制御用FETであるQ1と、比較回路6と、基準電圧回路E2とによってシリースレギュレータが形成される。いままんらかの原因で出力電

圧 V_{OUT} が低下すれば比較回路6の非反転入力端子のレベルが低下し、一方で反転入力端子のレベルは基準電圧 V_{REF} で一定のため、比較回路6の出力、したがって主制御用FETであるQ1のゲート電位が低下する。このため、主制御用FETであるQ1に流入する入力電流 I_1 が増加し、したがって出力電流 I_2 が増加し、出力電圧の低下を補償し、そのレベルを常に一定に保つように、比較回路6を介してフィードバック制御が行われる。

【0031】ここで、従来技術の項で述べた電圧投入時のラッシュ電流を入力電圧に影響されずに一定の値以下に抑えるためには、出力電圧の立ち上がりを図9(b)のように入力電圧によって変化するのではなく、入力電圧によらずに一定の傾きの立ち上がり速度で緩やかに立ち上がるようにすればよい。そのためには、比較回路6に与える基準電圧 V_{REF} の立ち上がりを、入力電圧によらずに一定の傾きの立ち上がり速度で緩やかに立ち上がるものとすればよい。

【0032】本発明の特徴は、二点鎖線で囲んだ基準電圧回路E2の構成とその動作にあり、以下これについて詳しく説明する。

【0033】基準電圧回路E2は、図からも明らかなように、定電圧素子であるツェナーダイオードZD1と、定電流素子(例えば定電流ダイオード)X1およびコンデンサ C_0 による積分回路7と、動作スイッチ8とから

$$V_c(t) = I_0 \cdot t / C_0$$

で表わされる変化によって0Vから直線的に上昇する。

【0036】図3は、本実施形態による定電圧電源装置の各部の電圧と電流の波形である。図1をあわせて参照しつつ説明する。

【0037】図3(a)は、縦軸に電圧レベル、横軸に時間 t をとり、基準電圧 V_{REF} と、出力電圧 V_{OUT} の変化を表したグラフである。時刻 t_0 で入力電圧 V_{IN} が印加されると(5)式で示されるようにコンデンサ C_0 の両端の電圧 V_c は入力電圧に影響されずに0Vから直線的に上昇していく。出力電圧 V_{OUT} は

【0038】

【数8】

$$V_{OUT}(t) = I_0 \frac{t}{C_0} \frac{R_1 + R_2}{R_1}$$

... (6)

で表わされ、0Vから直線的に上昇する。したがって、出力コンデンサ C_1 への充電電流 I_c は

【0039】

【数9】

$$I_c(t) = C_1 \frac{dV_{OUT}}{dt} = I_0 \frac{C_1}{C_0} \frac{R_1 + R_2}{R_1}$$

... (7)

*構成されている。積分回路7のコンデンサ C_0 と定電流素子X1との接続点には、前記ツェナーダイオードZD1がコンデンサ C_0 と並列になるように接続され、さらに比較回路6の反転入力端子が抵抗R3を介して接続されている。したがってコンデンサ C_0 の両端電圧 V_c がツェナーダイオードZD1のツェナー電圧 V_{ZD1} よりも小さくなければ、ツェナー電圧 V_{ZD} が基準電圧 V_{REF} として比較回路6の反転入力端子に抵抗R3を介して印加されることになる。

【0034】動作スイッチ8を閉じると、比較回路6の反転入力端子が接地ラインGLに落ち、同時にコンデンサ C_0 の両端が短絡され、基準電圧 V_{REF} すなわち、比較回路6の反転入力端子のレベルは0Vとなる。このため主制御用FETであるQ1は不能動化され、この状態で電源E1が投入され、入力端子2-3間に入力電圧 V_{IN} が印加されても出力端子4-5間には出力電圧 V_{OUT} は導出されない。動作スイッチ8はたとえばアナログスイッチで形成され、そのON/OFFによって比較回路6を介して主制御用FETであるQ1の導通/遮断が制御される。

【0035】動作スイッチ8を開き、電源E1を投入すれば定電流素子X1とコンデンサ C_0 の直列回路が入力端子2-3間に接続されているのでコンデンサ C_0 は充電され始め、その両端の電圧 V_c は定電流素子X1の定電流値を I_0 とすると、

$$\dots (5)$$

※となり図3の(b)で示すように入力電圧に影響されずに一定の値に抑制され、主制御用FETであるQ1の破壊を防止することができる。

【0040】時刻 t_a でコンデンサ C_0 の両端の電圧 V_c がツェナー電圧 V_{ZD1} のレベルと等しくなると、以後コンデンサ C_0 の両端の電圧 V_c の上昇は止まり、ツェナー電圧 V_{ZD1} の一定レベルが基準電圧 V_{REF} として比較回路6の反転入力端子に与えられることになる。これによって出力電圧 V_{OUT} も一定レベル V_2 になり負荷電流 I_2 が負荷 Z_L に流れる。

【0041】時刻 t_{off} で動作スイッチ8を閉じると、コンデンサ C_0 は短絡され、基準電圧 V_{REF} のレベルは0Vとなり主制御用FETであるQ1は遮断され、出力電圧 V_{OUT} も0Vとなる。

【0042】なお、抵抗R1、R2或いはツェナーダイオードの値は

【0043】

【数10】

$$V_{OUT} = V_{REF} \frac{R_1 + R_2}{R_1} < V_{IN}$$

... (8)

を満足するように設定されている。従って、主制御用FETは能動領域において動作して、安定した出力電圧を

出力する。例えば、ツェナーダイオードと抵抗R1と抵抗R2により出力電圧が9Vに設定されているとすると、入力電圧が10Vから20Vに変化しても、出力電圧は常に9Vである。

【0044】【実施形態2】図1の回路において、抵抗R1、R2或いはツェナーダイオードの値を

【0045】

【数11】

$$V_{OUT} = V_{REF} \frac{R_1 + R_2}{R_1} \geq V_{IN}$$

・・・(9)

を満足するように設定すると、コンデンサC0の両端の電圧が基準電圧VZD1に達する前に、VOUT=VINとなった時点で、主制御用FETは飽和状態となり(回路的にFETのソース・ドレイン間のON抵抗のみが接続された状態となる)、これ以上出力電圧は上昇しなくなる。VOUT=VINとなるまでは、主制御用FETには定電流が流れ、電圧は一定の割合で上昇する。

【0046】この形態においては、例えばツェナーダイオードと抵抗R1と抵抗R2により出力電圧が25Vに設定されているとすると、入力電圧が10Vから20Vに変化すると、出力電圧も入力電圧と同じで10Vから20Vに変化する。

【0047】よって、動作スイッチS8をON/OFFすることで、定電圧電源回路を、転じて突入電流を防止できるという特徴を持ったアナログスイッチとして機能させることができる。

【0048】【実施形態3】なお、実施形態1において使用している主制御用Pチャンネル型FETの代わりにPNP型トランジスタを用いる形態もある。この形態の動作は実施形態1と同一であるので説明を省略する。この形態での回路構成を図2に示す。抵抗R1、R2或いはツェナーダイオードの値を式(8)を満足するように設定することにより、これを定電圧電源回路として使用する。

【0049】【実施形態4】なお、実施形態2において使用している主制御用Pチャンネル型FETの代わりにPNP型トランジスタを用いる形態もある。この形態の動作は実施形態1と同一であるので説明を省略する。この形態での回路構成を図2に示す。回路構成は実施形態3と同一である。抵抗R1、R2或いはツェナーダイオードの値を式(9)を満足するように設定することにより、これを突入電流を防止できるという特徴を持ったアナログスイッチとして機能させる。

【0050】なお、実施形態1と2にはおいては、主制御用FETとしては、Pチャンネル型FETを使用し、このソースを入力電源側に、このドレインを負荷側に接続しているが、主制御用FETとしてNチャンネル型FETを使用して、このドレインを入力電源側に、こ

のソースを負荷側に接続する形態もある。なお、この形態の場合には、比較回路6の電源電圧を電圧VOUTよりも高めに設定して、主制御用のNチャンネル型FETを導通状態とさせなければならない。また、比較回路6の入力の極性は実施形態1と2の逆にしなければならない。

【0051】また、実施形態3と4においては、主制御用トランジスタとしては、PNP型トランジスタを使用し、このエミッタを入力電源側に、このコレクタを負荷側に接続しているが、主制御用トランジスタとしてNPN型トランジスタを使用して、このコレクタを入力電源側に、このエミッタを負荷側に接続する形態もある。なお、この形態の場合には、比較回路6の電源電圧を電圧VOUTよりも高めに設定して、主制御用のNPN型トランジスタを導通状態とさせなければならない。また、比較回路6の入力の極性は実施形態1と2の逆にしなければならない。

【0052】

【発明の効果】図4の(a)に示すように、電源投入時の突入電流が入力電圧に影響されず一定の値に制限され、主制御用FET又はトランジスタへの悪影響が防止され、動作の安定性が向上する。

【0053】その理由は、基準電圧を発生させる積分回路のコンデンサC0を定電流素子X1を用いて充電しているため、充電電流の傾きが入力電圧によらずに一定となるからである。

【0054】また、図4の(c)に示すように、出力電圧の立ち上がり速度が入力電圧に影響されずに一定の傾きとなる。

【0055】その理由は、第1の理由と同じで、基準電圧を発生させる積分回路のコンデンサC0を定電流素子X1を用いて充電しているため、充電電流の傾きが入力電圧によらずに一定となるからである。

【0056】更に、特開平6-4157号に記載の回路と比較した場合、一定電圧へ達するまでの時間が同じである場合、本発明の回路の方が突入電流のピーク値が小さい。また、図4の(b)に示すように、突入電流のピーク値を一定とした場合、一定電圧へ達するまでの時間が短い。

【0057】その理由は、コンデンサC0の充電初期から充電完了直前までの間ずっと電圧の上昇の傾きがその平均傾きと等しいからである。

【0058】更に、第2の実施形態では、入出力間電圧差を小さくでき、主制御用FETにおける電力損失を小さくできる。

【0059】その理由は、FETのソース・ドレイン間のON抵抗が小さく、更に、FETのソース・ドレイン間の電圧降下が少ないからである。

【0060】動作スイッチS8をON/OFFすることで、定電圧電源回路を、転じて突入電流を防止できると

11

いう特徴を持ったアナログスイッチとして機能させることができる。

【図面の簡単な説明】

【図1】本発明の実施形態1及び実施形態第2における定電圧電源装置の電氣的構成を示す回路図である。

【図2】本発明の実施形態3及び実施形態第4における定電圧電源装置の電氣的構成を示す回路図である。

【図3】本発明における図1又は図2に示す定電圧電源装置の各部の電圧、電流波形を示す図である。

【図4】本発明における図1又は図2に示す定電圧電源装置の効果を示す波形を示す図である。

【図5】1つめの従来例における定電圧電源装置の電氣的構成を示す回路図である。

【図6】2つめの従来例における定電圧電源装置の電氣的構成を示す回路図である。

【図7】図5に示す従来例における定電圧電源装置の各部の電圧、電流波形を示す図である。

【図8】図6に示す従来例における定電圧電源装置の各部電圧、電流波形を示す図である。

12

【図9】図6に示す従来例における定電圧電源装置の入力電圧が異なる場合の各部電圧、電流波形の比較図である。

【符号の説明】

1 定電圧電源装置

2, 3 入力端子

4, 5 出力端子

6 比較回路

7 積分回路

S8 動作スイッチ

C0 積分コンデンサ

C1 出力コンデンサ

E1 電源

E2 基準電圧回路

Q1 主制御用FET又は主制御用トランジスタ

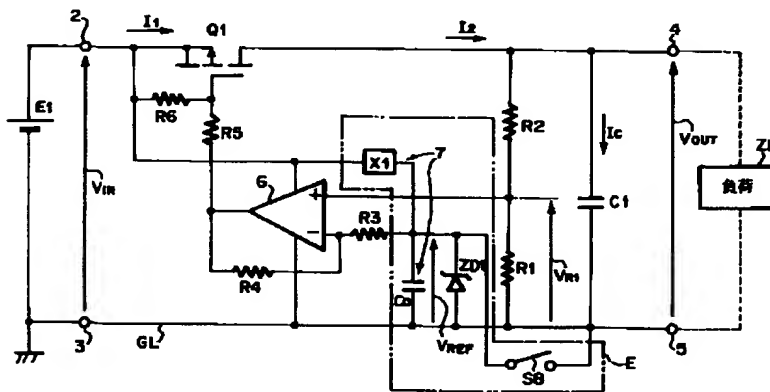
R1, R2, R3, R4, R5, R6 抵抗

ZL 負荷抵抗

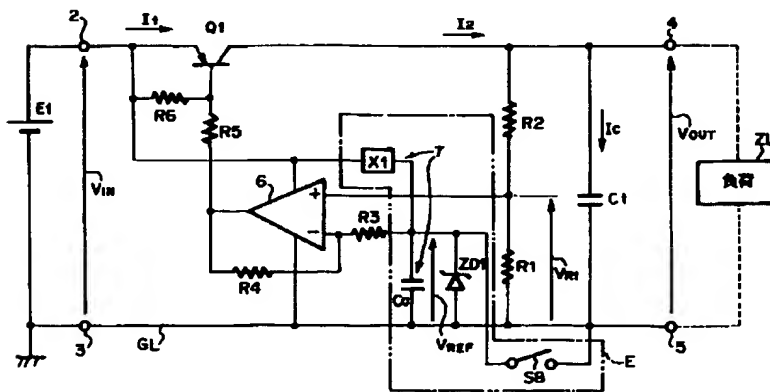
X1 定電流素子

ZD1 ツェナーダイオード

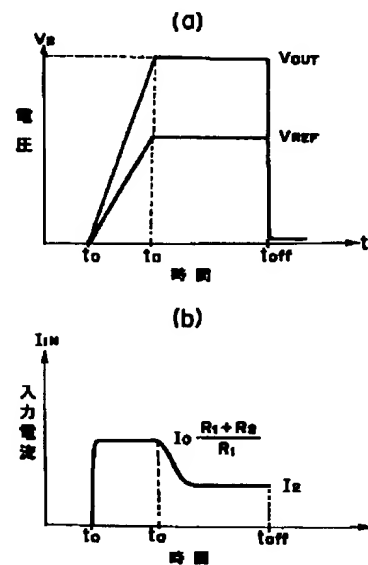
【図1】



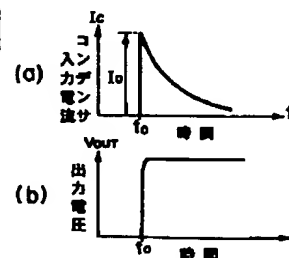
【図2】



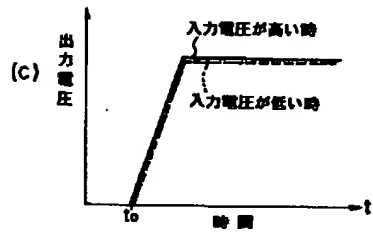
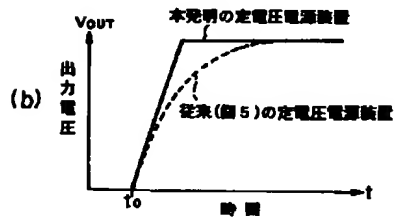
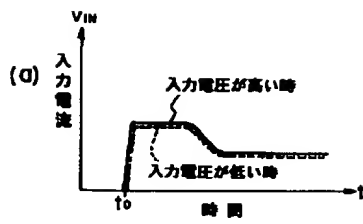
【図3】



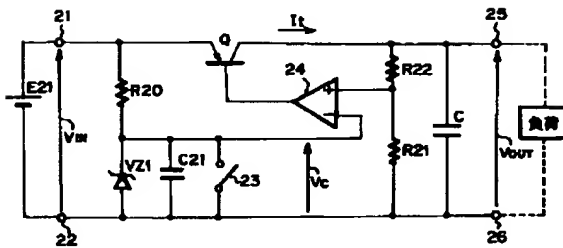
【図7】



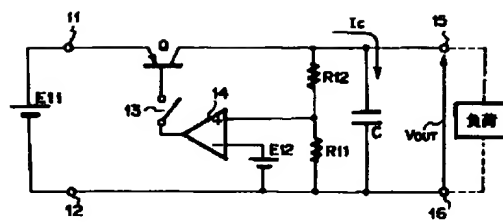
【図4】



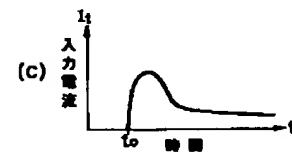
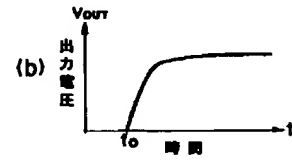
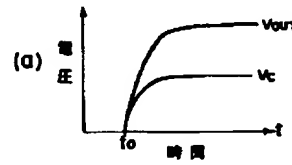
【図6】



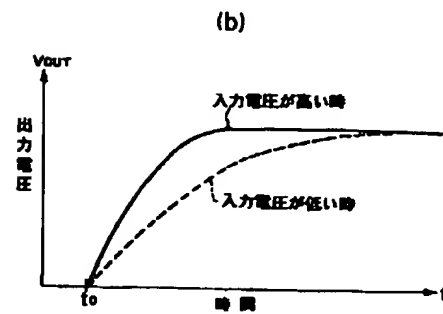
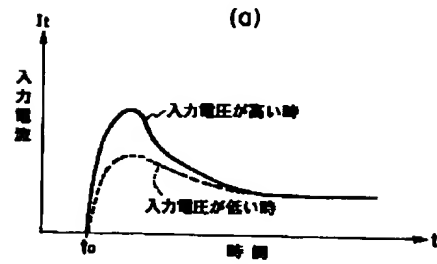
【図5】



【図8】



【図9】



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the rush current prevention circuit which restricted the rush current to constant-voltage-power-supply equipment and the capacitor of during starting.

[0002]

[Description of the Prior Art] as shown immediately after powering on at drawing 7 (a), the excessive charging current IC flowed into the capacitor C for ripple absorption connected to the output side through the output transistor Q, and when the output transistor Q generated heat for this reason or there was no stability of the power supply E11 connected to the input of constant-voltage-power-supply equipment well, with the constant-voltage-power-supply equipment by the conventional technology shown in drawing 5, the fault of having a bad influence on this had occurred

[0003] Capacitor C is absorption and output voltage VOUT of a ripple. A mass thing is used for stabilization. It is the charge charge QC of a capacitor as known well. Capacity of a capacitor is set to C and it is proportional to voltage and capacity by V, then $QC = C \cdot V$ about the voltage impressed. On the other hand, the charging current IC It is expressed with $IC(t) = dQC / dt$, and a high current flows into Capacitor C, so that the capacity of the voltage and the capacitor which are impressed is large.

[0004] JP,6-4157,A has invention of a publication as a circuit which solved the above troubles. This circuit operation is explained using drawing 6 and drawing 8. In order to suppress the rushes current of a power up as shown in drawing 7 (a) in invention given in JP,6-4157,A, it is output voltage VOUT. It is coped with by considering as a loose thing, without considering as a steep thing as shown in drawing 7 (b). Therefore, the reference voltage VC given to a comparator circuit 24 is created by the integrating circuit which consists of resistance R20 and a capacitor C21. It is [0005] until the voltage VC of a capacitor C21 reaches zener voltage, since a capacitor C21 is charged through resistance R20 at the time of the standup of the reference voltage VC of a power up.

[Equation 1]

$$V_c(t) = V_{IN} \cdot \left\{ 1 - \exp\left(-\frac{1}{C_{21}R_{20}}t\right) \right\}$$

... (1)

It is [0006] until, as for output voltage VOUT, the voltage of a capacitor C21 reaches zener voltage, since it will become loose as it comes out, and it is expressed and drawing 8 (a) shows.

[Equation 2]

$$V_{OUT}(t) = V_{IN} \cdot \left\{ 1 - \exp\left(-\frac{1}{C_{21}R_{20}}t\right) \right\} \cdot \frac{R_{21} + R_{22}}{R_{21}}$$

... (2)

The rush current It which flows to the output transistor Q at a power up since it goes up gently as it comes out, and it is expressed and is shown in drawing 8 (b) is [0007] until the voltage of a capacitor C21 reaches zener voltage.

[Equation 3]

$$I_t(t) = C \frac{dV_{OUT}}{dt} = \frac{C \cdot V_{IN}}{C_{21} \cdot R_{20}} \cdot \exp\left(-\frac{1}{C_{21}R_{20}}t\right) \cdot \frac{R_{21} + R_{22}}{R_{21}}$$

... (3)

It comes out, and it is expressed and the peak value of the rush current is held down by choosing time constant C21R20 like drawing 8 (c). It is the voltage VZ from which reference voltage is determined as Capacitor C with the constant-voltage element VZ1 after charge. Since it stabilizes, output voltage VOUT is [0008].

[Equation 4]

$$V_{OUT} = V_{Z1} \cdot \frac{R_{21} + R_{22}}{R_{21}}$$

It comes out and stabilizes.

[0009]

[Problem(s) to be Solved by the Invention] The 1st trouble is that the rush current which flows to the output capacitor C increases to a power up, when input voltage becomes high, as shown in (a) of drawing 9.

[0010] It is because the value of the rush current will become large in proportion to the value of V_{in} if the reason enlarges the value of V_{in} in (3) formulas.

[0011] Time until output voltage reaches a steady-state value is also long, and the 2nd trouble is with a bird clapper, when the value of time constant $C_{21}R_{20}$ of an integrating circuit is enlarged, in order to reduce the value of the rush current when input voltage is high, as shown in (b) of drawing 9.

[0012] The reason is [0013] when the value of time constant $C_{21}R_{20}$ is enlarged in (2) formulas.

[Equation 5]

$$\exp\left(-\frac{1}{C_{21}R_{20}}t\right)$$

It is because the time constant of ***** becomes long.

[0014] The 3rd trouble is that the rate of rise of output voltage changes with input voltage. Therefore, when it is used in the area where the supply voltage whose devices are the world differed and uses this as a main power supply, it may change with use areas, standup sequence may change between the power supplies of other kinds in a device, and the rate of rise of output voltage may pose a problem of the circuit using two or more power supplies malfunctioning.

[0015] This reason can be explained as follows. That is, it is a time of the voltage of a capacitor C_{21} becoming equal to the voltage V_{Z1} of zener diode that output voltage becomes default value. It is [0016] when time at this time is set to t_{Z1} .

[Equation 6]

$$V_c = V_{IN} \left\{ 1 - \exp\left(-\frac{1}{C_{21}R_{20}}t_{Z1}\right) \right\}$$

It becomes. It is [0017] when this is summarized about time t_{Z1} .

[Equation 7]

$$t_{Z1} = -C_{21}R_{20} \ln\left(1 - \frac{V_Z}{V_{IN}}\right)$$

It becomes. It turns out that t_{Z1} is so small that V_{IN} is large when the right-hand side is seen.

It is offering the constant-voltage-power-supply equipment which has the fixed output voltage rate of rise, without being based on input voltage while the purpose of the [purpose of invention] this invention solves the above troubles, suppresses them below to a fixed value, without depending the rushes current just behind powering on on input voltage, eliminates the bad influence to an output transistor and improves stability of operation.

[0018]

[Means for Solving the Problem] FET for main controls to which, as for the constant-voltage-power-supply equipment by this invention, the source and the drain were connected between input power and the load, The reference voltage circuit which consists of a constant-voltage element which specifies the maximum voltage of a capacitor and this capacitor, and a constant-current element which supplies a constant current to this capacitor, and makes an outputting point the node of this capacitor and this constant-current element, The partial pressure circuit which pressures output voltage partially, and the 2nd capacitor connected to a load and parallel, It is constituted by the comparator circuit which carries out the negative feedback control of the source current of aforementioned FET for main controls by comparing the output voltage of the aforementioned reference voltage circuit with the output voltage of the aforementioned partial pressure circuit, and returning a comparison output to the gate of aforementioned FET for main controls. It is characterized by making setting output voltage lower than input voltage.

[0019] FET for main controls to which, as for the rush current prevention circuit by this invention, the source and the drain were connected between input power and the load, The reference voltage circuit which consists of a constant-voltage element which specifies the maximum voltage of a capacitor and this capacitor, and a constant-current element which supplies a constant current to this capacitor, and makes an outputting point the node of this capacitor and this constant-current element, The partial pressure circuit which pressures output voltage partially, and the 2nd capacitor connected to a load and parallel, It is constituted by the comparator circuit which carries out the negative feedback control of the source current of aforementioned FET for main controls by comparing the output voltage of the aforementioned reference voltage circuit with the output voltage of the aforementioned partial pressure circuit, and returning a comparison output to the gate of aforementioned FET for main controls. It is characterized by making setting output voltage higher than input voltage.

[0020] The transistor for main controls to which, as for the constant-voltage-power-supply equipment by this invention, the emitter and the collector were connected between input power and the load, The reference voltage circuit which consists of a constant-voltage element which specifies the maximum voltage of a capacitor and this capacitor, and a constant-current element which supplies a constant current to this capacitor, and makes an outputting point the node of this capacitor and this

constant-current element, The partial pressure circuit which pressures output voltage partially, and the 2nd capacitor connected to a load and parallel, It is constituted by the comparator circuit which carries out the negative feedback control of the emitter current of the aforementioned transistor for main controls by comparing the output voltage of the aforementioned reference voltage circuit with the output voltage of the aforementioned partial pressure circuit, and returning a comparison output to the base of the aforementioned transistor for main controls. It is characterized by making setting output voltage lower than input voltage.

[0021] The transistor for main controls to which, as for the rush current prevention circuit by this invention, the emitter and the collector were connected between input power and the load, The reference voltage circuit which consists of a constant-voltage element which specifies the maximum voltage of a capacitor and this capacitor, and a constant-current element which supplies a constant current to this capacitor, and makes an outputting point the node of this capacitor and this constant-current element, The partial pressure circuit which pressures output voltage partially, and the 2nd capacitor connected to a load and parallel, It is constituted by the comparator circuit which carries out the negative feedback control of the emitter current of the aforementioned transistor for main controls by comparing the output voltage of the aforementioned reference voltage circuit with the output voltage of the aforementioned partial pressure circuit, and returning a comparison output to the base of the aforementioned transistor for main controls. It is characterized by making setting output voltage higher than input voltage.

[0022] In the constant-voltage-power-supply equipment by the [operation] this invention, after the 2nd capacitor is charged, FET for main controls or a transistor operates by the active region, and the constant-voltage-power-supply equipment by this invention outputs the stable voltage lower than input power voltage.

[0023] Moreover, in the constant-voltage-power-supply equipment by this invention, at the time of an input power injection or the switch release for operation, the current of constant value flows to FET for main controls, or a transistor, and output voltage goes up at a fixed rate to it. The current of this constant value and the fixed rate of output voltage elevation are decided only from the capacity of the convention current of a constant-current element, and the capacitor of a reference voltage circuit, and it does not depend for them on input voltage.

[0024] In the rush current prevention circuit by this invention, after the 2nd capacitor is charged, FET for main controls or a transistor operates by the saturation region, and the rush current prevention circuit by this invention outputs the same voltage as input power voltage.

[0025] Moreover, in the rush current prevention circuit by this invention, at the time of an input power injection or the switch release for operation, the current of constant value flows to FET for main controls, or a transistor, and output voltage goes up at a fixed rate to it. This is decided only from the convention current of a constant-current element, the capacity of the capacitor of a reference voltage circuit, and the capacity of the 2nd capacitor, and is not dependent on input voltage.

[0026]

[Embodiments of the Invention]

[Operation gestalt 1] drawing 1 is the circuit diagram showing the electric composition of the constant-voltage-power-supply equipment in the operation gestalt 1. The DC power supply obtained by rectifying alternating voltage by the full wave rectifier etc. are shown by the sign E1, and the voltage is impressed between an input terminal 2 and 3 as input voltage VIN. On the other hand, a load ZL is connected to output terminals 4 and 5. The input terminal 3 and the output terminal 5 are connected common to the grounding line GL.

[0027] Between terminals 2-4, the source of Q1 and the drain which are P channel type FET for main controls are connected in series between DC power supply E1 and the load charge ZL.

[0028] The capacitor C1 for ripple absorption and the partial pressure circuit by the series connection of resistance R1 and R2 are connected in parallel between output terminals 4-5.

[0029] It intervenes between the gate of Q1 whose comparator circuit 6 realized by the operational amplifier etc. is Above FET, and the grounding line GL, and the noninverting input terminal is connected to the node of the resistance R1 and R2 which constitutes the aforementioned partial pressure circuit. The reference voltage VREF drawn from the reference voltage circuit E2 surrounded and shown with a two-dot chain line is impressed to an inversed input terminal.

[0030] Voltage VR 1 impressed to a noninverting input terminal $VR1 = VOUT$ and $R1/(R1+R2) \dots (4)$

It comes out. It is VOUT here. It is the output voltage obtained through Q1 which is FET for main controls. A comparator circuit 6 compares the reference voltage VREF and voltage VR 1 which were inputted, gives the output corresponding to the difference voltage ($VR1 - VREF$) to the gate of Q1 which is FET for main controls, and carries out the negative feedback control of the Q1 which is FET for main controls. That is, a series regulator is formed of Q1 which is FET for main controls, a comparator circuit 6, and the reference voltage circuit E2. It is output voltage VOUT by a certain cause now. If it falls, the level of the noninverting input terminal of a comparator circuit 6 will fall, and the gate potential of Q1 whose level of an inversed input terminal is FET for an output, therefore main controls of a comparator circuit 6 in reference voltage VREF since it is fixed falls by one side. For this reason, input current I1 which flows into Q1 which is FET for main controls It increases, therefore is the output current I2. It increases and the fall of output voltage is compensated, and feedback control is performed through a comparator circuit 6 so that the level may always be kept constant.

[0031] here, it takes action gently with the rate of rise of a fixed inclination to suppress the rushes current at the time of the voltage injection stated by the term of the conventional technology below to a fixed value, without being influenced by input voltage, without depending the standup of output voltage on input voltage rather than changing with input voltage like drawing 9 (b) -- what is necessary is just to make it like For that purpose, what is necessary is just to start gently with the rate

of rise of a fixed inclination, without depending the standup of the reference voltage VREF given to a comparator circuit 6 on input voltage.

[0032] The feature of this invention is in the composition and its operation of the reference voltage circuit E2 enclosed with the two-dot chain line, and explains this in detail below.

[0033] The reference voltage circuit E2 consists of zener diode ZD1 which is a constant-voltage element, an integrating circuit 7 by the constant-current element (for example, constant-current diode) X1 and the capacitor C0, and a switch 8 of operation so that clearly from drawing. It connects with the node of the capacitor C0 of an integrating circuit 7, and the constant-current element X1 so that the aforementioned zener diode ZD1 may become in parallel with a capacitor C0, and the inversed input terminal of a comparator circuit 6 is further connected to it through resistance R3. Therefore, ends voltage VC of a capacitor C0 If not smaller than the zener voltage VZD1 of zener diode ZD1, zener voltage VZD will be impressed to the inversed input terminal of a comparator circuit 6 through resistance R3 as reference voltage VREF.

[0034] If the switch 8 of operation is closed, the inversed input terminal of a comparator circuit 6 will fall to the grounding line GL, the ends of a capacitor C0 will connect too hastily simultaneously, and reference voltage VREF, i.e., the level of the inversed input terminal of a comparator circuit 6, will be set to 0V. For this reason, Q1 which is FET for main controls is output voltage VOUT between output terminals 4-5, even if un-activity is formed, a power supply E1 is switched on in this state and input voltage VIN is impressed between input terminals 2-3. It is not drawn. The switch 8 of operation is formed by the analog switch, and a flow/interception of Q1 which is FET for main controls are controlled by the ON/OFF through a comparator circuit 6.

[0035] Since the series circuit of a capacitor C0 is connected with the constant-current element X1 between input terminals 2-3 if the switch 8 of operation is opened and a power supply E1 is switched on, if a capacitor C0 begins to be charged and the voltage VC of the ends sets the constant-current value of the constant-current element X1 to I_0 $VC(t) = I_0$ and $t/C_0 \dots$ (5) It comes out and goes up linearly from 0V by change expressed.

[0036] Drawing 3 is the voltage of each part of constant-voltage-power-supply equipment and the wave of current by this operation gestalt. It explains referring to in accordance with drawing 1.

[0037] Drawing 3 (a) takes a voltage level along a vertical axis, and takes Time t along a horizontal axis, and they are reference voltage VREF and output voltage VOUT. It is a graph showing change. When input voltage VIN is impressed at time t0, as shown in (5) formulas, it is a capacitor C0. Voltage VC of ends It goes up linearly from 0V, without being influenced by input voltage. Output voltage VOUT [0038]

[Equation 8]

$$V_{OUT}(t) = I_0 \frac{t}{C_0} \frac{R_1 + R_2}{R_1}$$

... (6)

It comes out, and it is expressed and goes up linearly from 0V. Therefore, the charging current IC to the output capacitor C1 [0039]

[Equation 9]

$$I_C(t) = C_1 \frac{dV_{OUT}}{dt} = I_0 \frac{C_1}{C_0} \frac{R_1 + R_2}{R_1}$$

... (7)

As (b) of next door drawing 3 shows, it is suppressed by the fixed value, without being influenced by input voltage, and destruction of Q1 which is FET for main controls can be prevented.

[0040] When the voltage VC of the ends of a capacitor C0 becomes equal to the level of zener voltage VZD1 at Time ta, henceforth, elevation of the voltage VC of the ends of a capacitor C0 will stop, and the fixed level of zener voltage VZD1 will be given to the inversed input terminal of a comparator circuit 6 as reference voltage VREF. It is output voltage VOUT by this. It is set to the fixed level V2, and the load current I2 flows for a load ZL.

[0041] If the switch 8 of operation is closed at Time toff, a capacitor C0 is short-circuited, the level of reference voltage VREF is set to 0V, Q1 which is FET for main controls will be intercepted, and output voltage VOUT will be set to 0V.

[0042] In addition, the value of resistance R1 and R2 or zener diode is [0043].

[Equation 10]

$$V_{OUT} = V_{REF} \frac{R_1 + R_2}{R_1} < V_{IN}$$

... (8)

It is set up so that it may carry out ** satisfactory. Therefore, FET for main controls operates in an active region, and outputs the stable output voltage. For example, supposing output voltage is set as 9V by zener diode, resistance R1, and resistance R2, even if input voltage will change to 20V from 10V, output voltage is always 9V.

[0044] It sets in the circuit of [operation gestalt 2] drawing 1, and is the value of resistance R1 and R2 or zener diode [0045]

[Equation 11]

$$V_{OUT} = V_{REF} \frac{R_1 + R_2}{R_1} \geq V_{IN}$$

... (9)

When it sets up so that it may carry out ** satisfactory, it is a capacitor C0. The voltage of ends is reference voltage VZD1. Before reaching, when it becomes $V_{OUT}=V_{IN}$, FET for main controls will be in a saturation state (it will be in the state where only ON resistance between the source drains of FET was connected in circuit), and output voltage will not go up any more. A constant current flows to FET for main controls, and voltage rises at a fixed rate until it becomes $V_{OUT}=V_{IN}$.

[0046] In this gestalt, if input voltage will change to 20V from 10V supposing output voltage is set as 25V by zener diode, resistance R1, and resistance R2, for example, output voltage will be the same as input voltage, and will change from 10V to 20V.

[0047] Therefore, it can be made to function as an analog switch with the feature that a constant-voltage-power-supply circuit is changed and the rush current can be prevented by carrying out ON/OFF of the switch S8 of operation.

[0048] [Operation gestalt 3] There is also a gestalt which uses a PNP type transistor in addition instead of P channel type FET for main controls currently used in the operation gestalt 1. Since operation of this gestalt is the same as that of the operation gestalt 1, it omits explanation. The circuitry in this gestalt is shown in drawing 2. This is used as a constant-voltage-power-supply circuit by setting up the value of resistance R1 and R2 or zener diode so that a formula (8) may be satisfied.

[0049] [Operation gestalt 4] There is also a gestalt which uses a PNP type transistor in addition instead of P channel type FET for main controls currently used in the operation gestalt 2. Since operation of this gestalt is the same as that of the operation gestalt 1, it omits explanation. The circuitry in this gestalt is shown in drawing 2. Circuitry is the same as that of the operation gestalt 3. It is made to function as an analog switch with the feature that the rush current can be prevented for this, by setting up the value of resistance R1 and R2 or zener diode so that a formula (9) may be satisfied.

[0050] In addition, although it set in the operation gestalten 1 and 2, and P channel type FET was used as FET for main controls, this source is connected to an input power side and this drain is connected to a load side, N channel type FET is used as FET for main controls, and there is also a gestalt which connects this drain to an input power side, and connects this source to a load side. In addition, in the case of this gestalt, the supply voltage of a comparator circuit 6 must be more highly set up from voltage VOUT, and N channel type FET for main controls must be considered as switch-on. Moreover, you have to make polarity of the input of a comparator circuit 6 into the reverse of the operation gestalten 1 and 2.

[0051] Moreover, although the PNP type transistor was used as a transistor for main controls in the operation gestalten 3 and 4, this emitter is connected to an input power side and this collector is connected to a load side, a NPN type transistor is used as a transistor for main controls, and there is also a gestalt which connects this collector to an input power side, and connects this emitter to a load side. In addition, in the case of this gestalt, the supply voltage of a comparator circuit 6 must be more highly set up from voltage VOUT, and the NPN type transistor for main controls must be considered as switch-on. Moreover, you have to make polarity of the input of a comparator circuit 6 into the reverse of the operation gestalten 1 and 2.

[0052]

[Effect of the Invention] As shown in (a) of drawing 4, the rush current of a power up is not influenced by input voltage, but is restricted to a fixed value, the bad influence to FET for main controls or a transistor is prevented, and stability of operation improves.

[0053] The reason is that the inclination of the charging current becomes fixed, without being based on input voltage since the capacitor C0 of the integrating circuit which generates reference voltage is charged using the constant-current element X1.

[0054] Moreover, as shown in (c) of drawing 4, the rate of rise of output voltage serves as a fixed inclination, without being influenced by input voltage.

[0055] The reason is the same as the 1st reason, and is because the inclination of the charging current becomes fixed, without being based on input voltage since the capacitor C0 of the integrating circuit which generates reference voltage is charged using the constant-current element X1.

[0056] Furthermore, when time when it compares with the circuit of a publication at JP,6-4157,A, until it reaches to fixed voltage is the same, the direction of the circuit of this invention has the small peak value of the rush current. Moreover, as shown in (b) of drawing 4, when the peak value of the rush current is set constant, time until it reaches to fixed voltage is short.

[0057] The reason is that the inclination of elevation of voltage is equal to the average inclination much during [from the charge early stages of a capacitor C0] just before the completion of charge.

[0058] Furthermore, with the 2nd operation gestalt, the voltage difference between I/O can be made small and the power loss in FET for main controls can be made small.

[0059] The reason is that ON resistance between the source drains of FET is small, and there are still few voltage drops between the source drains of FET.

[0060] It can be made to function as an analog switch with the feature that a constant-voltage-power-supply circuit is changed and the rush current can be prevented by carrying out ON/OFF of the switch S8 of operation.